

10

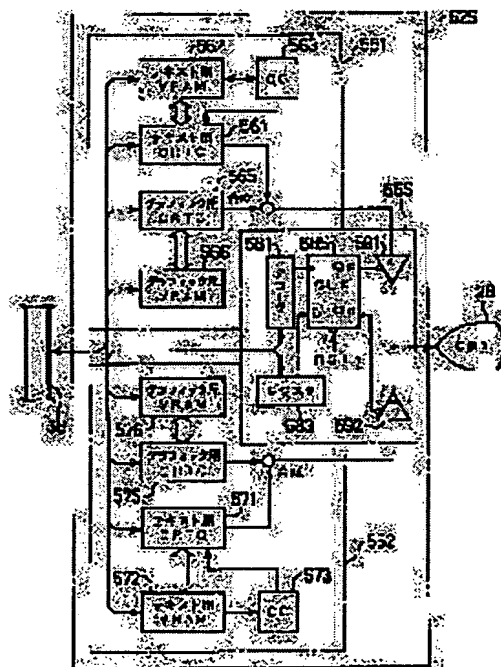
**(43)Date of publication of application : 23.07.1993**

(72)Inventor : KARAKI NOBUO  
NAKAMURA JINICHI

Priority number : 03188150      Priority date : 01.07.1991      Priority country : JP

**(57)Abstract:**

**CONSTITUTION:** A multi-scan type CRT 28 is used as a display device, which is equipped with 1st and 2nd display control circuits 551 and 552 which differ in resolution. When a hot key is operated, a display switching circuit 555 signifies the image signal of the 1st or 2nd display control circuit 551 or 552 which is indicated with the hot key. When the 1st display control circuit 551 is selected, a picture controlled by a main OS which supports a multi-window display of 1120 × 750 dots in resolution is displayed. When the 2nd display control circuit 552 is selected, a single window of full size controlled by a slave OS with 640X 400-dot resolution is displayed.



<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAhFayULDA405181443P9...> 2004/02/18

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-181443

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/00		Z 8121-5G		
G 0 6 F 3/14	3 5 0	A 7165-5B		
G 0 9 G 1/16		M 8121-5G		
5/14		8121-5G		

審査請求 未請求 請求項の数9(全20頁)

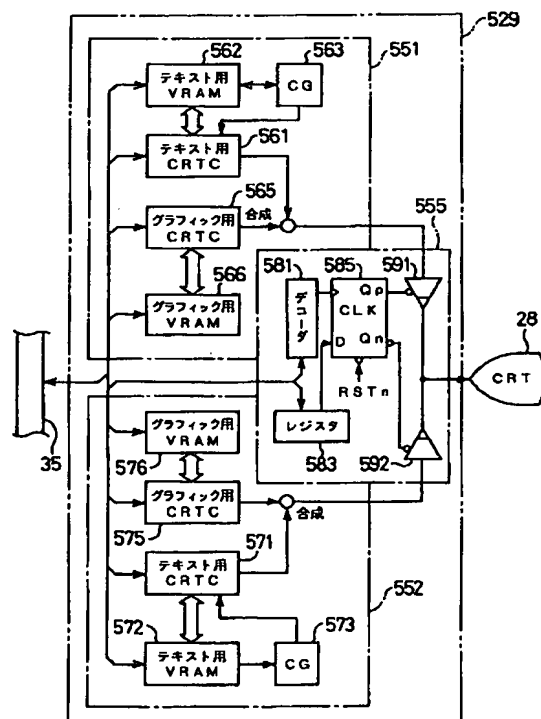
(21)出願番号	特願平4-140914	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成4年(1992)5月6日	(72)発明者	唐木 信雄 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
(31)優先権主張番号	特願平3-188150	(72)発明者	中村 仁一 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
(32)優先日	平3(1991)7月1日	(74)代理人	弁理士 五十嵐 孝雄 (外1名)
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 コンピュータ

(57)【要約】

【目的】 異なる解像度の複数の画面に関する表示を高速に切り換え可能とし、特に、これら画面をウィンドウに表示する場合にもウィンドウ間の表示の高速切換を可能とする

【構成】 表示装置をマルチスキャンタイプのCRT28とし、解像度の異なる第1、第2表示制御回路51、52を備える。ホットキーを操作すると表示切換回路55により、第1もしくは第2表示制御回路51、52からの画像信号の内の、そのホットキーにより指示された側の画像信号が有効となる。第1表示制御回路51が選択された場合には、1120×750ドットの解像度でマルチウィンドウをサポートする主OSの管理する画面が表示される。第2表示制御回路52が選択された場合には、640×400ドットの解像度で従OSの管理する単一のウィンドウがフルサイズで表示される。



## 【特許請求の範囲】

【請求項 1】 所定の解像度の表示装置と、  
該表示装置に画像を表示する画像表示制御回路とを備えたコンピュータであって、  
前記表示装置は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、

前記画像表示制御回路は、第 1 の解像度による画像信号の出力、または該第 1 の解像度とは異なる第 2 の解像度による画像信号の出力のいずれかを行なう画像信号出力手段を備え、

さらに、

前記第 1 の解像度の画像信号による表示と前記第 2 の解像度の画像信号による表示との間で、表示の切り換えを指示する表示切換指示手段と、

該表示の切換が指示されたとき、前記画像信号出力手段に、前記表示切換指示手段により指示された側の画像信号を出力させる信号出力制御手段とを設けたコンピュータ。

【請求項 2】 表示切換指示手段が、キーボードに設けられた所定のキー操作または複数のキーの組み合わせ操作により表示の切換を指示する構成である請求項 1 記載のコンピュータ。

【請求項 3】 請求項 1 又は 2 記載のコンピュータであって、

画像信号出力手段は、

画像データを記憶する画像メモリと、

表示装置に出力する画像信号の解像度が設定される記憶レジスタとを備え、

信号出力制御手段は、

前記画像メモリに記憶させる画像データを、第 1 の解像度で構成される画像データと第 2 の解像度で構成される画像データと間で切り換えると共に、前記解像度記憶レジスタに設定される画像信号の解像度を、前記第 1 の解像度と第 2 の解像度との間で切り換える記憶内容切換部を備えたコンピュータ。

【請求項 4】 所定の解像度の表示装置と、

該表示装置に画像を前記解像度で表示する第 1 の画像表示制御回路とを備えたコンピュータであって、

前記表示装置は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、

前記解像度とは異なる解像度で画像を表示する第 2 の画像表示制御回路と、

前記解像度の異なる両画像の間で、表示の切り換えを指示する表示切換指示手段と、

該表示の切換が指示されたとき、前記第 1 もしくは前記第 2 の画像表示制御回路からの画像信号の内、前記表示切換指示手段により指示された側の画像信号を、前記マルチスキャンタイプの受像機に出力する信号出力切換手

段とを備えたコンピュータ。

【請求項 5】 請求項 1, 2, 3 又は 4 記載のコンピュータであって、

所定サイズのウィンドウを開き、実行される処理を該ウィンドウに割り当てるウィンドウ制御手段を備えると共に、

前記ウィンドウを含む全画面を第 1 の解像度で構成される画面とし、前記ウィンドウの一画面を第 2 の解像度で構成される画面としたコンピュータ。

10 【請求項 6】 所定サイズのウィンドウを開き、主オペレーティングシステムの子プロセスとして実行される従オペレーティングシステムを、前記ウィンドウのひとつに割り当てるウィンドウ制御手段と、

前記開かれたウィンドウを含む全画面を、 $M \times N$  の解像度で表示装置に表示する第 1 の画像表示制御回路とを備えたコンピュータであって、

前記表示装置は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、

20 前記解像度より低い解像度であり、前記従オペレーティングシステムの表示解像度である  $P \times Q$  の解像度で画像表示を行なう第 2 の画像表示制御回路と、

キーボードに設けられた所定のキーの操作により、前記ウィンドウを含む全画面と該ウィンドウの一つとの間で、表示の切り換えを指示する表示切換指示手段と、

該表示の切換が指示されたとき、前記第 1 もしくは前記第 2 の画像表示制御回路からの画像信号の内、前記表示切換指示手段により指示された側の画像信号を、前記マルチスキャンタイプの受像機に出力する信号出力切換手

30 段とを備えたコンピュータ。

【請求項 7】 前記第 1 および第 2 の画像表示制御回路が、各々独立に画像情報を保存する画像メモリを備えた請求項 4 又は 6 記載のコンピュータ。

【請求項 8】 請求項 6 記載のコンピュータであって、表示切換指示手段は、第 1 の画像表示制御手段により表示されているウィンドウのいずれか一つを指定するウィンドウ指定手段を備え、

第 1 の画像表示制御手段は、

40 前記ウィンドウ指定手段により指示されたウィンドウの全表示内容を画像メモリ上に構成するウィンドウ表示構成手段と、

該構成された表示内容を、 $M \times N$  の解像度の画像信号として出力する画像情報出力手段とを備えたコンピュータ。

【請求項 9】 請求項 6 記載のコンピュータであって、少なくとも、主オペレーティングシステムと従オペレーティングのいずれか一方は、互いのオペレーティングシステムのバックグラウンドで実行可能であり、

50 第 1 もしくは第 2 の画像表示制御回路による画像表示が行なわれているとき、表示されていない側の画像メモリ

の内容を、バックグラウンド処理により更新する非表示画像更新手段を備えたコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータに関し、詳しくは異なる解像度の複数の画面についての画像表示を行なうコンピュータに関する。

【0002】

【従来の技術および発明が解決しようとする課題】従来、コンピュータは、所定解像度（例えば1120×750ドット）のCRT受像機を備え、この解像度に応じた容量のビデオメモリとCRTコントローラとを一組内蔵して、画像の表示を行なっている。

【0003】ところで、コンピュータは、単一のオペレーティングシステムの管理の下で単一のアプリケーションプログラムを実行するものもあれば、単一のオペレーティングシステムの下で複数のアプリケーションプログラムを実行するものも存在する。更には、複数のアプリケーションプログラムの中の一つが、主オペレーティングシステムの子プロセスとして実行される従オペレーティングシステムの管理の下で実行される構成も可能である。このため、一のアプリケーションプログラムでは、前記CRT受像機の解像度、1120×750ドットと一致した解像度で画面表示を行なうが、他のアプリケーションプログラムでは、その解像度とは異なる解像度（例えば640×400ドット）で画面表示を行なうといった要求がある。

【0004】前者の場合をハイレゾリューションモード（略して「ハイレゾモード」と呼ぶ）の画面表示と言い、後者の場合をノーマルモードの画面表示と言うが、両画面表示を行なう要求を満たすコンピュータとしては、従来、CRT受像機を偏向周波数が切り換わるマルチスキャンタイプの受像機とし、コンピュータ本体に設けられたハイレゾ/ノーマル切換スイッチを切り換えることで、電源投入後の初期状態を、前記ハイレゾモードまたはノーマルモードに対応した解像度に応じたものに切り換える構成のものが知られている。

【0005】しかしながら、前述した従来のコンピュータでは、一のアプリケーションプログラムにより一の画面を表示している途中で、他のアプリケーションプログラムにより前述した画面と解像度の異なる他の画面を表示しようとする場合、その切り換えに、相当の手間と時間を要し、使い勝手が十分でないという問題があった。というのは、その切り換え時には、最初のアプリケーションプログラムの終了、コンピュータ本体の電源のオフ、切り換えスイッチの切り換え、コンピュータ本体の電源のオン、次のアプリケーションプログラムの実行といった一連の作業を順に行なう必要があるためである。

【0006】ところで、従来のコンピュータでは、画面上にいくつかのウィンドウを開き、各ウィンドウに前述

した各アプリケーションプログラムによる処理を割り当てたものが知られている。画面上に開いたウィンドウの内の一つを選択状態にすると、選択されたウィンドウが一番上層に表示され、そのウィンドウに割り当てられた処理がアクティブとなる。さらに、こうしたコンピュータの中には、複数のウィンドウが開かれている状態で、マウスなどのポインティングデバイスやホットキーと通称される所定のキーの組合せの操作を行なうと、選択されたウィンドウのサイズを大きくして、表示領域を拡大するものもある。

【0007】しかしながら、かかるウィンドウシステムを搭載したコンピュータでは、ウィンドウを制御するプログラムが扱える最大解像度が、画面のフルサイズの解像度より小さいと、そのウィンドウを最大の大きさとしても、ウィンドウの表示領域が画面の一部にしかならず、ウィンドウを画面一杯に表示することができないという問題があった。例えば、最大解像度が640×400ドットのアプリケーションプログラムの場合、このアプリケーションプログラムを解像度1120×750ドットのディスプレイのコンピュータ上で走らせたとしても、ディスプレイの一部（面積比で約1/3）を占有するウィンドウを開くことができるに過ぎない。

【0008】本発明のコンピュータは、こうした問題を解決し、異なる解像度の複数の画面に関する表示を高速に切り換え可能とし、特に、これら画面をウィンドウに表示する場合にもウィンドウ間の表示の高速切換を可能とすることを目的としてなされ、次の構成を採った。

【0009】

【課題を解決するための手段】かかる目的を達成する第1のコンピュータ（請求項1記載のコンピュータ）は、図1に例示するように、所定の解像度の表示装置M1と、該表示装置M1に画像を表示する画像表示制御回路M3とを備えたコンピュータであって、前記表示装置M1は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、前記画像表示制御回路M3は、第1の解像度による画像信号の出力、または該第1の解像度とは異なる第2の解像度による画像信号の出力のいずれかを行なう画像信号出力手段M4を備え、さらに、前記第1の解像度の画像信号による表示と前記第2の解像度の画像信号による表示との間で、表示の切り換えを指示する表示切換指示手段M5と、該表示の切換が指示されたとき、前記画像信号出力手段M4に、前記表示切換指示手段M5により指示された側の画像信号を出力させる信号出力制御手段M6とを設けたことを要旨とする。

【0010】ここで、第1のコンピュータの構成において、表示切換指示手段M5は、キーボードに設けられた所定のキー操作または複数のキーの組み合わせ操作により表示の切換を指示する構成であってもよい。また、画像信号出力手段M4は、画像データを記憶する画像メモ

りと、表示装置に出力する画像信号の解像度が設定される記憶レジスタとを備え、信号出力制御手段M6は、前記画像メモリに記憶させる画像データを、第1の解像度で構成される画像データと第2の解像度で構成される画像データと間で切り換えると共に、前記解像度記憶レジスタに設定される画像信号の解像度を、前記第1の解像度と第2の解像度との間で切り換える記憶内容切換部を備える構成であってもよい。

【0011】一方、第2のコンピュータ（請求項4記載のコンピュータ）は、図2に例示するように、所定の解像度の表示装置M11と、該表示装置に画像を前記解像度で表示する第1の画像表示制御回路M13とを備えたコンピュータであって、前記表示装置M11は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、前記解像度とは異なる解像度で画像を表示する第2の画像表示制御回路M14と、前記解像度の異なる両画像の間で、表示の切り換えを指示する表示切換指示手段M15と、該表示の切換が指示されたとき、前記第1もしくは前記第2の画像表示制御回路M13、M14からの画像信号の内、前記表示切換指示手段M15により指示された側の画像信号を、前記マルチスキャンタイプの受像機に出力する信号出力切換手段M16とを備えたことを要旨とする。

【0012】第1もしくは第2のコンピュータの構成において、所定サイズのウィンドウを開き、実行される処理を該ウィンドウに割り当てるウィンドウ制御手段を備えると共に、前記ウィンドウを含む全画面を第1の解像度で構成される画面とし、前記ウィンドウの一面を第2の解像度で構成される画面とした構成としてもよい。

【0013】一方、第3のコンピュータ（請求項6記載のコンピュータ）は、図3に例示するように、所定サイズのウィンドウWを開き、主オペレーティングシステムの子プロセスとして実行される従オペレーティングシステムを、前記ウィンドウWのひとつに割り当てるウィンドウ制御手段M22と、前記開かれたウィンドウWを含む全画面を、M×Nの解像度で表示装置M21に表示する第1の画像表示制御回路M23とを備えたコンピュータであって、前記表示装置M21は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機であり、前記解像度より低い解像度であり、前記従オペレーティングシステムの表示解像度であるP×Qの解像度で画像表示行なう第2の画像表示制御回路M24と、キーボードに設けられた所定のキーの操作により、前記ウィンドウを含む全画面と該ウィンドウの一つとの間で、表示の切り換えを指示する表示切換指示手段M25と、該表示の切換が指示されたとき、前記第1もしくは前記第2の画像表示制御回路M23、M24からの画像信号の内、前記表示切換指示手段M25により指示された側の画像信号を、前記マルチスキャンタイプの受像機に出力する信号出力切換手段M26とを備

えたことを要旨とする。

【0014】ここで、第2もしくは第3のコンピュータの構成において、第1および第2の画像表示制御回路M13、M23、M14、M24は、各々独立に画像情報を保存する画像メモリを備えることが好ましい。また、第3のコンピュータでは、表示切換指示手段M25は、第1の画像表示制御回路M23により表示されているウィンドウWのいずれか一つを指定するウィンドウ指定手段を備え、第1の画像表示制御回路M23は、ウィンドウ指定手段により指示されたウィンドウの全表示内容を画像メモリ上に構成するウィンドウ表示構成手段と、構成された表示内容を、M×Nの解像度の画像信号として、マルチスキャンタイプの受像機に出力する画像情報出力手段とを備えた構成とすることができる。

【0015】更に、第3のコンピュータでは、少なくとも、主オペレーティングシステムと従オペレーティングのいずれか一方は、互いのオペレーティングシステムのバックグラウンドで実行可能であり、第1もしくは第2の画像表示制御回路M23、M24による画像表示が行なわれているとき、表示されていない側の画像メモリの内容を、バックグラウンド処理により更新する非表示画像更新手段を備える構成も考えることができる。

【0016】

【作用】上記構成を有する本発明の第1のコンピュータでは、第1の解像度の画像信号による表示と第2の解像度の画像信号による表示との間での表示の切り換えを、表示切換指示手段M5が指示すると、信号出力制御手段M6により、画像信号出力手段M4から出力される画像信号を、第1の解像度による画像信号と第2の解像度による画像信号との内、表示切換指示手段M5により指示された側の画像信号として、表示装置M1に出力する。

【0017】解像度の異なる画像信号が画像表示制御回路M3の画像信号出力手段M4から出力されても、表示装置M1は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機なので、画像表示は解像度の変更に追従する。

【0018】一方、本発明の第2のコンピュータでは、解像度の異なる2つの画像の間での表示の切り換えを、表示切換指示手段M15が指示すると、信号出力切換手段M16により、第1もしくは前記第2の画像表示制御回路M13、M14からの画像信号の内、表示切換指示手段M15により指示された側の画像信号を表示装置M1に出力する。

【0019】第2の画像表示制御回路M14は、第1の画像表示制御回路M13の解像度とは異なる解像度で画像表示を行なうが、解像度の異なる画像信号が、信号出力切換手段M16から出力されても、表示装置M1は、少なくとも水平周波数に応じて偏向周波数が切り換わるマルチスキャンタイプの受像機なので、画像表示は解像度の変更に追従する。

【0020】本発明の第3のコンピュータでは、表示装置M21の解像度がM×Nであり、ウィンドウ制御手段M22により、所定サイズのウィンドウWを開き、ウィンドウWのひとつに主オペレーティングシステムの子プロセスとして実行される従オペレーティングシステムを割り当てている。ここで、表示切換指示手段M25により、ウィンドウを含む全画面と該ウィンドウの一つとの間での表示の切り換えを指示すると、第2のコンピュータと同様、画像の切り換えが行なわれる。即ち、第1の画像表示制御回路M23からの画像信号が選択された場合には、M×Nの解像度で、一方、第2の画像表示制御回路M24からの画像信号が選択された場合には、従オペレーティングシステムの表示解像度であるP×Qの解像度(M×Nより低い解像度)で、画像表示が行なわれる。

#### 【0021】

【実施例】以上説明した本発明の構成・作用を一層明らかにするために、以下本発明の好適な実施例について説明する。図4は、第1実施例としてのコンピュータのハードウェア構成を示すブロック図である。このコンピュータは、エンジニアリングワークステーションとして構成されたもので、図示するように、CPU1を中心にバスにより相互に接続された次の各部を備える。なお、本実施例では、CPU1として、32ビットのプロセッサ(インテル社製80386)を用いた。

【0022】FPU2: CPU1のコプロセッサとして動作する数値演算プロセッサ

ROM4: モニタプログラム等を記憶するマスクメモリ  
RAM5: 主記憶を構成する読み出し・書き込み可能なメモリ

PIT6: タイマ割込を発生するインターバルタイマ

RTC8: 電源バックアップを受けて時間を計時するリアルタイムクロック

DMAC10: バスを介したダイレクトメモリ転送を制御するコントローラ

SIO11: RS-232Cの通信を制御するシリアルインタフェース

【0023】PIC12: 各種の割込に優先順位を付けて制御する割込コントローラ

マウスインタフェース15: マウス14とのデータ等のやり取りを司るインタフェース

キーボードインタフェース18: キーボード17からのキー入力进行を司るインタフェース

FDC21: フレキシブルディスクドライブ(FDD)20を制御するフレキシブルディスクコントローラ

HDC25: ハードディスクドライブ(HDD)24を制御するハードディスクコントローラ

表示制御回路29: 必要なデータ等を表示するCRT28への信号出力を制御するコントローラ。本実施例における詳細な構成は後述する。

プリンタインタフェース31: プリンタ30へのデータの出力を制御するインタフェース

これらの各部の他、バス35には、将来の拡張に備えて、拡張用スロット40が接続されている。

【0024】表示制御回路29は、図5に示す様に、テキスト用CRT61、表示されるテキストのコードを記憶するテキスト用VRAM62、テキスト用VRAM62のデータにより指定されたキャラクタのビットマップを出力するキャラクタジェネレータ(以下、CGと呼ぶ)63、グラフィック用CRT65、表示されるグラフィックの画像データを記憶するグラフィック用VRAM66を備える。

【0025】本実施例のコンピュータは、ハイレゾ/ノーマル対応のコンピュータであり、そのために、グラフィック用VRAM66は、ノーマルモードが選択された時とハイレゾモードが選択された時とでそのメモリ構成が組み換えられる。図6にノーマルモード時とハイレゾモード時とのメモリ構成を示したが、同図(A)に示すように、ノーマルモード時には、1プレーン32Kバイトのメモリが4プレーン、それぞれ独立したメモリ空間に割り当てられる。一方、同図(B)に示すように、ハイレゾモード時には、1プレーン128Kバイトのメモリが4プレーン、同一メモリ空間に割り当てられており、バンク切換によりアクセスがなされる。各プレーンの1ドット毎のデータは、図示しないパレットレジスタの選択信号になり、選択したパレットレジスタに設定されている色が表示されることになる。

【0026】なお、表示制御回路29には、グラフィック用VRAM66に割り当てられたアドレスをデコードする第1および第2のデコーダ67、68を備えている。ノーマルモード時には、バス35を介してCPU1により第1のデコーダ67に許可信号s1を入力することで、第1のデコーダ67を働かせる。第1のデコーダ67によれば、図6(A)に示すメモリ構成に応じたプレーン0~3のアドレスをデコードする。即ち、第1のデコード67から、A8000H~AFFFFHのアドレス位置に相当するプレーン0、B0000H~B7FFFHのアドレス位置に相当するプレーン1、B8000H~BFFFFHのアドレス位置に相当するプレーン2およびE0000H~E7FFFHのアドレス位置に相当するプレーン3に対し任意のプレーンを選択的にデコード信号が出力される。

【0027】一方、ハイレゾモード時には、バス35を介してCPU1により第2のデコーダ68に許可信号s2を入力することで第2のデコーダ68を働かせる。第2のデコーダ68によれば、図6(B)に示すメモリ構成に応じたプレーン0~3のアドレスをデコードする。即ち、第2のデコード68から、C0000H~DFFFFHのアドレス位置でプレーン0~3を重複して構成するVRAMに対しデコード信号が出力される。なお、このアクセス時のプレーンの選択は、モードレジスタと呼ばれる8ビ

ットのレジスタで指定されており、アドレスA4Hの1/Oポートに値を書き出すことによってモードレジスタを設定することができる。

【0028】テキスト用CRTC61とグラフィック用CRTC65とは、本実施例では同一の汎用のCRTC( $\mu$ PD7220A、日本電気製)を用いている。このCRTCは、内部のレジスタに書き込むパラメータを変えることで、水平方向の解像度や垂直方向の解像度を変更することができる。図7に、CRTC内部のレジスタの一部とそのパラメータの一例を示しており、同図

(A)は、立ち上げ直後の初期設定例を示している。

【0029】ここで、レジスタMASTERは、CRTCがマスタとして動作するかスレーブとして動作するかを決めるものであり、本実施例ではマスタ動作に設定されている。レジスタSYNCは、CRTCの動作モード、同期信号波形(即ち垂直・水平方向の解像度)を定義するものであり、本実施例では、テキストグラフィック混在モード、VRAMリフレッシュなし、描画タイミングは帰線消去期間に限定しないフラッシュモード、等

となっている。また、解像度については、図7(A)は1120×750のハイレゾモードに、図7(B)は640×400のノーマルモードに、各々設定された例を示している。

【0030】レジスタPITCHは映像メモリの水平方向ワード数を設定するものであり、レジスタZOOMは表示時の拡大(1から16倍)係数、グラフィック文字描画時の拡大(1から16倍)係数を設定するものである。更に、レジスタCSRFORMは文字表示時のカーソル形状等の設定を行なうものであり、レジスタSCROLLは表示開始のアドレスと表示領域の設定を行なうものである。なお、これらのパラメータは初期設定の一例であり、使用するアプリケーションプログラムによって一部変更されることがある。

【0031】テキスト用CRTC61とグラフィック用CRTC65の出力は合成され、画像信号としてCRT28に出力される。表示制御回路29はそのCRTCの設定が前述したようにハイレゾモード時とノーマルモード時とで異なっており、各モード時に出力される画像信号の水平偏向周波数は異なる。上述した初期設定(ハイレゾモード時の設定も同じ)では、画像信号の水平周期(括弧内は水平偏向周波数)Hは、図8の(A)に示したように32.84KHzであり、ノーマルモード時の設定では、第2画像信号の水平偏向周波数は、図8の(B)に示したように24.83KHzである。なお、図8(A)、(B)に示した諸元HFP、HBP、HDI SP等の定義を図9に示した。

【0032】かかる画像信号を受けるCRT28は、マルチスキャンタイプのものであり、画像信号に応じて水平偏向周波数が、15ないし34KHzの間で自動的に切り換わるものである。このCRT28は、入力する画

像信号の同期周波数SYNCを検出し、水平偏向周波数をこれに追従させる。より具体的には、水平同期信号を分離して水平偏向周波数を発振させ、その信号をF/Vコンバータに入力して水平出力段の電圧を可変しているのである。従って、画像信号の水平偏向周波数が異なっても同期を正常にとつて、CRT28の画面の大きさに合わせた画像を表示することができる。

【0033】上記構成のコンピュータには、OSとしてマルチウィンドウ、マルチタスク可能な時分割処理系の主OSが採用されており、各タスクは各々一つのウィンドウに割り当てられる構成となっている。各種アプリケーションプログラムは、割り当てられたウィンドウの環境下で動作する。このコンピュータでは、子プロセスのひとつに従OSが割り当てられている。マウス14を初め、キーボード17、フレキシブルディスクドライブ20等の周辺機器は、総て主OSの管理下にあり、主OS上で実行されるアプリケーションプログラムもしくは従OS上で実行されるアプリケーションプログラムなどの各処理との間では、主OSに組み込まれたいわゆるデバイスドライバを介してデータの受け渡しが行なわれている。

【0034】実施例のコンピュータは、電源投入後、他の初期化の処理と共に、図10に示す表示制御回路初期化ルーチンを実行する。即ち、各CRTC61、65の各レジスタに図7(A)に例示したパラメータ等を設定するといったハイレゾ用への初期化の処理(ステップS100)を行なう。次いで、ハイレゾモードが選択されていることを示すべく、フラグFdに値0をセットし(ステップS110)、その後、「END」に抜けて本ルーチンを終了する。

【0035】以上の初期化の処理が完了すると、主OSの制御により初期画面の表示が行なわれる。主OSは、1120×750ドットのハイレゾモードの表示画面を管理する。これに対して、主OSの子プロセスに割り当てられた従OSは640×400ドットのノーマルモードの表示画面を管理できるに過ぎない。

【0036】主OSの管理の下で、従OSの動作するウィンドウW0Sが、主OS上のアプリケーションプログラムが直接管理する他のウィンドウW1、W2と共に開かれた状態を、図11(A)に示す。図示するように、この状態で従OSのウィンドウW0Sは、640×400ドットの大きさを備える。なお、こうした1120×750ドットの画面で640×400ドットのウィンドウを表示させる手法は、通常のウィンドウ表示と同様な考え方で、以下に示される。即ち、従OS上のアプリケーションプログラムが、ノーマルモード用にメモリ構成されたVRAMへの画像データの書込みを行ない、次いで、主OSがアドレス変換して、その従OSで書き込んだデータをハイレゾモード選択時におけるVRAM62、66の所定アドレスへマッピングすることにより、図12

に示すように、ハイレゾ用メモリの中に640×400ドットのウィンドウデータを書き込む。こうして、1120×750ドットの画面で640×400ドットのウィンドウが表示される。

【0037】次に、キーボード17に割り付けられたホットキーの操作について説明する。キーボード17にはいくつかのホットキーが割り当てられており、それらのキーが操作された場合、図13に示すホットキー割込処理ルーチンが実行される。この処理ルーチンが割込により起動されると、まず操作されたウィンドウの表示を切り換える表示切替のキーであるか否かの処理を行なう(ステップS200)。キー操作が、「GRPH」+「W」を同時に押すというものであれば、ウィンドウ表示の切替キーであると判断して、続けてハイレゾモードであるかノーマルモードであるかを示すフラグFdが値0であるか、即ちハイレゾモードにあるか否かの判断を行なう(ステップS210)。

【0038】立ち上げ直後のようにハイレゾモードが選択されている場合には(Fd=0)、主OSの子プロセスである従OSに制御を移すとしてそのためのデータ転送を行なう。即ち、VRAM62, 66の内容を、RAM5のハイレゾ用バックアップエリアAに一旦退避(格納)する(ステップS220)と共に、各CRTC61, 65の各レジスタに設定されたパラメータ等を、RAM5のハイレゾ用バックアップエリアBに一旦退避(格納)する(ステップS230)。

【0039】なお、ハイレゾモード時にグラフィック用VRAM66の内容をRAM5のハイレゾ用バックアップエリアAに格納するステップS220の処理は、詳しくは、第2のデコーダ68によりプレーン0を指定して、C0000H〜DFFFFHのアドレスの内容を読み出し、その読み出した内容をRAM5へ書き込み、次いで、第2のデコーダ68によりプレーン0を指定して、同様な読み出し/書き込み処理を行ない、更に、第2のデコーダ68によりプレーン2, 3と順に指定して、同様な読み出し/書き込み処理をプレーン2, 3についても行なう。こうして、ハイレゾモード時におけるグラフィック用VRAM66の内容のRAM5への転送処理がなされる。

【0040】ところで、ノーマルモード時におけるグラフィック用VRAM66の内容のRAM5への転送処理は、後述するステップS320で行なわれるが、こうしたノーマル時における転送処理は、以下のようにしてなされている。即ち、第1のデコーダ67を用いてA8000H〜E7FFFH, E0000H〜E7FFFHのアドレスの内容をシーケンシャルに読み出し、その内容をRAM5へ書き込むことにより行なわれる。こうしたことから、前述したVRAM66の内容のRAM5への転送処理は、ハイレゾモード時であろうとノーマルモード時であろうと、その転送元のアドレス位置が相違するだけであり、実行されている各プロセスは、ハイレゾモード、ノーマルモードの切

替に影響を受けず処理を継続することができる。なお、RAM5の内容をVRAM66へ転送する処理についても、同様に、ハイレゾモード時/ノーマルモード時に関わらず、転送先のアドレス位置が相違するだけであり、実行されている各プロセスは、ハイレゾモード、ノーマルモードの切替に影響を受けず処理を継続することができる。

【0041】ステップS230の実行後、表示制御回路29からの画像信号の出力を停止して、CRT28への表示を一旦オフする(ステップS240)。その後、各CRTC61, 65の各レジスタに図7(B)に例示したパラメータ等を設定するといったノーマル用への初期化の処理を行なう(ステップS250)。

【0042】次いで、コンピュータの立ち上げ後、ノーマルモードでの表示を既に行なったことがあるか否かを判定し(ステップS260)、既にノーマル表示を行なったことがあると判定された場合、以下の処理を行なう。即ち、前回のノーマルモードでの表示の実行時に予めRAM5のノーマル用バックアップエリアDに退避しておいた(後述するステップS320で退避)表示に関するパラメータ等の内容を、各CRTC61, 65の各レジスタに転送する処理を行なう(ステップS270)と共に、前回のノーマルモードでの表示の実行時に予めRAM5のノーマル用バックアップエリアCに退避しておいた(後述するステップS330で退避)ノーマル表示用の画像データを、VRAM62, 66に転送する処理を行なう(ステップS280)。その後、表示制御回路29からの画像信号の出力を許可して、CRT28への表示をオンする(ステップS290)と共に、フラグFdを値1に設定する(ステップS300)。

【0043】一方、ステップS260で、否定判定、即ち、今回の表示切替によるノーマル表示が最初であると判定された場合、ステップS270およびS280の処理を飛ばして(この結果、各CRTC61, 65の各レジスタに記憶されるパラメータ等の内容は、ステップS250で設定されたノーマル用の初期設定値のままである)、直ちにCRT28への表示をオンする。こうした結果、図11(A)に例示した主OSの制御するマルチウィンドウの画面(1120×750ドットのハイレゾモードの画面)から、図11(B)に例示した従OSの管理下の画面に切り換わる。この画面は640×400ドットのノーマルモードの解像度を有する。CRT28はマルチスキャンタイプのもので、画像信号の周波数が切り換わっても直ちに追従して正常な画面を映し出す。その後、従OSに制御を移管する(ステップS310)。

【0044】一方、ノーマルモードでの表示が行なわれていてステップS210の判断が「NO」であれば(Fd≠0)、主OSの子プロセスである従OSの制御から主OSの制御に移行するとして、そのためのデータ転送



を行なう（ステップS260）。即ち、VRAM62、66の内容を、RAM5のノーマル用バックアップエリアCに一旦退避（格納）する（ステップS320）と共に、各CRTC61、65の各レジスタに設定されたパラメータ等を、RAM5のノーマル用バックアップエリアDに一旦退避（格納）する（ステップS330）。続いて、表示制御回路29からの画像信号の出力を停止して、CRT28への表示を一旦オフする（ステップS340）。

【0045】ステップS340の実行後、各CRTC61、65の各レジスタに図7（A）に例示したパラメータ等を設定するといったハイレゾ用への初期化の処理を行なう（ステップS350）。

【0046】次いで、コンピュータの立ち上げ後、ハイレゾモードでの表示を既に行なったことがあるか否かを判定し（ステップS360）、既にハイレゾ表示を行なったことがあると判定された場合、以下の処理を行なう。即ち、前回のハイレゾモードでの表示の実行時に予めRAM5のハイレゾ用バックアップエリアBに退避しておいた（S220で退避）表示に関するパラメータ等の内容を、各CRTC61、65の各レジスタに転送する処理を行なう（ステップS370）と共に、前回のハイレゾモードでの表示の実行時に予めRAM5のハイレゾ用バックアップエリアAに退避しておいた（ステップS220で退避）ハイレゾ表示用の画像データを、VRAM62、66に転送する処理を行なう（ステップS380）。その後、表示制御回路29からの画像信号の出力を許可して、CRT28への表示をオンする（ステップS390）と共に、フラグFdを値0に設定する（ステップS400）。

【0047】一方、ステップS360で、否定判定、即ち、今回の表示切換によるハイレゾ表示が最初であると判定された場合、ステップS370およびS380の処理を飛ばして（この結果、各CRTC61、65の各レジスタに記憶されるパラメータ等の内容は、ステップS350で設定されたハイレゾ用の初期設定値のままである）、直ちにCRT28への表示をオンする。こうした結果、図11（B）に例示した従OSの制御する画面（640×400ドットのノーマルモードの画面）から、図11（A）に例示した主OSの制御するマルチウィンドウの画面に復帰する。この画面は1120×750ドットのハイレゾモードの解像度を有する。画像信号の周波数の切り換えによってもCRT28が正常な画面を維持し得ることは、ハイレゾモードからノーマルモードへの切換のときと同様である。その後、主OSに制御を移管する（ステップS410）。

【0048】ホットキーの操作がなされた場合で、操作されたキーが表示切換キーでなければ（ステップS200）、その他のホットキー、例えばウィンドウのロックや終了などの処理（ステップS420）を行ない、本ル

ーチンを終了する。

【0049】なお、ホットキーによる画面の切り換えは、図11の（A）に示した主OSの表示画面から従OSの表示画面へのものに限る必要はない。例えば、図14の（A）には、主OSの管理している2個のウィンドウW1、W05が1120×750ドットの解像度で表示されているが、従OSが管理しておりマルチウィンドウのひとつとして表示されたウィンドウW05を、図14の（B）に示すように、CRT28の画面一杯に表示（640×400ドット）するのみならず、図14の（C）に示すように、主OSが管理しているアプリケーションが割り当てられたウィンドウW1を画面一杯に表示（1120×750ドット）する切り換えを行なうものとすることもできる。

【0050】この場合、元のマルチウィンドウでの表示でも従OSのウィンドウW05は640×400ドットのウィンドウであり、これをノーマル表示したものが

（B）である。ただし、表示されている物の大きさは拡大され、使用者にとっての視認性は向上する。これに対して、主OSのアプリケーションのウィンドウW1を、元の解像度（1120×750）を維持したままフル画面にして表示した場合（C）には、通常、表示されているものの大きさは変わらず表示されるエリアが拡大する。ここで、表示エリアを拡大する代わりに、表示されている物の大きさを拡大するものとしてもよい。この物の大きさを拡大する場合、解像度を、もとのウィンドウW1を構成するドット数、例えば600×350ドットのままとし、描画に要する時間の短縮を優先するものとしてもよいし、解像度は1120×750ドットとし、表示の緻密さを優先するものとしてもよい。

【0051】また、本実施例では、表示切り換えのホットキーは「CTRL」+「W」とし、このキーを操作するたびにトグル動作するものとしてホットキーの割付を簡略にしているが、例えば主OSの1120×750ドットの画面の選択を「GRAPH」+「f1」（第1のファンクションキー、以下同じ）に割り当て、従OSの640×400ドットの画面の選択を「GRAPH」+「f2」に割り当てることも可能である。更に、主OSの管理下で複数のウィンドウが表示されているとき、各ウィンドウの選択をファンクションキーに順番に割り当てることもできる。この場合には、複数のウィンドウのひとつを一意に選択することができ、3以上の画面を頻繁に切り換える使い方では操作性が向上する。

【0052】以上説明したように、本実施例のコンピュータは、ホットキーの操作により、従OSが管理する解像度の低い画面にCRT28の全画面を切り換えることができ、しかも解像度の高い画面から低い画面に切り換えても、表示をそのまま正常に継続することができる。従って、主OSの解像度より低い解像度でしか表示できない従OSを、主OSの子プロセスに割り当てて実行さ

せる場合でも、従OSの管理する画面をフルサイズに拡大して表示することが可能である。

【0053】次に、本発明の第2実施例を説明する。第2実施例としてのコンピュータは、第1実施例のコンピュータと比較して、表示制御回路29の構成と、CPU1にて実行される表示制御回路初期化ルーチンおよびホットキー割込処理ルーチンの構成とが相違し、その他の構成は同一である。第1実施例のコンピュータは、表示制御回路29が一つ設けられているが、これに対して、第2実施例のコンピュータは、ハイレゾモード用とノーマルモード用の2つの表示制御回路を設けることで表示制御回路の二重化を図っている。以下、こうした表示制御回路の構成を図15を用いて説明する。

【0054】図15に示すように、第1実施例の表示制御回路29に相当する表示制御部529は、第1表示制御回路551、第2表示制御回路552および表示切換回路555から構成されている。第1、第2表示制御回路551、552は、画像情報を蓄えるVRAMの容量を除いて同一の構成を備える。即ち、第1、第2表示制御回路551、552は、各々、テキスト用CRTC561、571、テキストVRAM562、572、キャラクタジェネレータ（以下、CGと呼ぶ）563、573、グラフィック用CRTC565、575、グラフィック用VRAM566、576を備える。

【0055】第1、第2表示制御回路551、552の構成はほぼ同一で、しかも、第1実施例の表示制御回路29と比較してデコーダ67、68を省いた点以外はほぼ同一の構成をしている。なお、第1表示制御回路551のグラフィック用CRTC565の各レジスタには、前述した図7の(A)に示すハイレゾモード用に定められたパラメータが初期設定されており、また、第2表示制御回路552のグラフィック用CRTC575の各レジスタには、前述した図7の(B)に示すノーマルモード用に定められたパラメータが初期設定されている。

【0056】第1、第2表示制御回路551、552から出力される各画像信号は、表示切換回路555にそれぞれ出力される。表示切換回路555は、第1表示制御回路551からの第1画像信号と第2表示制御回路552からの第2画像信号とを選択的にCRT28に出力するものである。表示切換回路555は、これに割り当てられたアドレスをデコードするデコーダ581と、切換用に用意されたレジスタ583と、レジスタ583の出力をデータDとしデコーダ581の出力によりセットされるD形フリップフロップ585と、D形フリップフロップ585の互いに論理が反転した出力QpおよびQnにより出力側の状態が制御されるドライバ591、592とから構成されている。

【0057】バス35を介してCPU1によりレジスタ583に第1、第2表示制御回路551、552のいずれを選択するかのデータ（0もしくは1）が書き込まれ

た後、切換用のアドレスがアクセスされてデコーダ581がこれを検出してD形フリップフロップ585にパルス信号を送出すると、D形フリップフロップ585の出力Qp、Qnは、その時のレジスタ583の出力（データD）に応じて定まる。この出力Qp、Qnは、ドライバ591、592のゲート端子に接続されている。ゲートがハイレベルのときドライバ591、592の出力はハイインピーダンス状態となるから、ワイヤード接続されたドライバ591、592を介して、CRT28は、第1、第2画像信号を択一的に受け取ることになる。

【0058】次に、電源投入後、他の初期化の処理と共に実行される図16に示す表示制御部初期化ルーチンについて説明する。CPU1は、処理が開始されると、まず、各CRTC561、565、571、575の各レジスタに図7(A)、(B)に例示したパラメータ等を設定するといった初期化の処理（ステップS100）を行ない、次に表示切換回路555をアクセスして第1表示制御回路551を選択する処理を行なう（ステップS610）。その後、第1表示制御回路551が選択されていることを示すフラグFdに値0をセットし（ステップS620）、「END」に抜けて本ルーチンを終了する。

【0059】以上の初期化の処理が完了すると、第1表示制御回路551が有効となり、主OSの制御により初期画面の表示が行なわれる。主OSは、1120×750ドットの表示画面を管理する。

【0060】次に、ホットキーが操作された場合に実行される図17に示すホットキー割込処理ルーチンについて説明する。この処理ルーチンが割込により起動されると、まず、操作されたキーが表示切換のキーであるか否かの処理を行なう（ステップS700）。キー操作が、「GRAPH」+「W」を同時に押すというものであれば、ウィンドウ表示の切換キーであると判断して、続けてアクティブとなっている第2表示制御回路552であることを示すフラグFdが値1であるか否かの判断を行なう（ステップS710）。

【0061】立ち上げ直後のように第1表示制御回路551側を使用している場合には（Fd=0）、主OSの子プロセスである従OSに制御を移すとしてそのためのデータ転送を行なう（ステップS720）。データ転送は、従OS上で動作するアプリケーションプログラムの少なくとも一部を主記憶に転送するといった場合にはDMAC10を用いて行ない、転送時間の短縮を図る。一方、既にアプリケーションプログラムは駐在しており、単にステータス情報などを転送するだけの場合には、CPU1の制御の下で行なえばよい。

【0062】続いて表示切換回路555のレジスタに所定の値を書き込んで第2表示制御回路552に切り換える処理を行ない（ステップS730）、フラグFdを値1に設定する（ステップS740）。この結果、表示制

御部 529 では第 2 表示制御回路 552 がアクティブとなり、図 11 (A) に例示した主 OS の制御するマルチウィンドウの画面から、図 11 (B) に例示した従 OS の管理下の画面に切り替わる。この画面は 640 ドット × 400 ドットの解像度を有する。CRT 28 はマルチスキャンタイプのものなので、画像信号の周波数が切り替わっても直ちに追従して正常な画面を映し出す。その後、従 OS に制御を移管する (ステップ S750)。

【0063】一方、第 2 表示制御回路 552 による表示が行なわれていてステップ S710 の判断が「NO」であれば (Fd ≠ 0)、主 OS の子プロセスである従 OS の制御から主 OS の制御に移行するとして、そのためのデータ転送を行なう (ステップ S760)。データ転送は、上述したように DMAC 10 を用いて行なってもよいし、CPU 1 の制御の下で行なってもよい。続いて表示切換回路 555 のレジスタに所定の値を書き込んで第 1 表示制御回路 551 に切り換える処理を行ない (ステップ S770)、フラグ Fd を値 0 に設定する (ステップ S780)。この結果、表示制御部 529 では第 1 表示制御回路 551 がアクティブとなり、図 11 (A) に例示した主 OS の制御するマルチウィンドウの画面に復

帰する。この画面は 1120 × 750 ドットの解像度を有する。画像信号の周波数の切り替えによっても CRT 28 が正常な画面を維持し得ることは、第 1 表示制御回路 551 から第 2 表示制御回路 552 への切換のときと同様である。その後、主 OS に制御を移管する (ステップ S790)。

【0064】ホットキーの操作がなされた場合で、操作されたキーが表示切換キーでなければ (ステップ S700)、その他のホットキー、例えばウィンドウのロックや終了などの処理 (ステップ S800) を行ない、本ルーチンを終了する。

【0065】以上説明した本第 2 実施例のコンピュータは、第 1 実施例と同様に、ホットキーの操作により、従 OS が管理する解像度の低い画面に CRT 28 の全画面を切り換えることができ、しかも解像度の高い画面から低い画面に切り換えても、表示をそのまま正常に継続することができる。従って、主 OS の解像度より低い解像度でしか表示できない従 OS を、主 OS の子プロセスに割り当てて実行させる場合でも、第 1 実施例と同様に、従 OS の管理する画面をフルサイズに拡大して表示することが可能である。

【0066】また、本実施例では第 1、第 2 表示制御回路 551、552 を設けて表示制御回路を二重化しているので、表示の切り換え時にオーバーヘッドが少なく済むという利点がある。というのは、本実施例では、VRAM の内容や CRT C のレジスタの内容を退避するといった作業を行なうことなしに、表示切換回路 555 のレジスタ 583 に所定の情報を書き込んで第 1、第 2 表示制御回路 551、552 を切り換えるだけでよく、画

面の切り換えに時間を要しない。

【0067】また、本実施例では、画像の書換を要する処理をバックグラウンドで行なうことも可能である。主 OS 上のアプリケーションがひとつと従 OS 上のアプリケーションがひとつ起動されている状態を例に挙げて説明する。従 OS 上のアプリケーションに切り換えこれをフルサイズで表示した状態とする。この時、主 OS 上のアプリケーションは、バックグラウンドとなるが、時分割処理により所定の時間をバックグラウンドに割り当てれば、バックグラウンドで実行される処理が画面の書換を要する処理であっても実行が可能である。従来は、VRAM の書換ができないため、バックグラウンドでの処理は、コンパイル等、画面の書換を要しないものに限られていた。

【0068】なお、前記第 1 実施例および第 2 実施例では、主 OS の管理下にあるアプリケーションと従 OS の管理下にあるアプリケーションが、割り当てられたウィンドウの環境下で動作するように構成されていたが、必ずしもこうした構成に限る必要はない。主 OS の管理下にあるアプリケーションと従 OS の管理下にあるアプリケーションとがそれぞれウィンドウを用いない環境下で単独で動作する構成とし、主 OS の表示画面である 1120 × 750 ドットの解像度の表示画面から、従 OS の表示画面である 640 × 400 ドットの解像度の表示画面へ画面切換を行なうものとしてもよい。

【0069】以上本発明の実施例について説明したが、本発明はこれらの実施例に何等限定されるものではなく、例えば表示制御回路を 3 以上設けた構成、各表示制御回路の VRAM を共通化した構成、ホットキーに代えて専用キーによりウィンドウの切換処理を行なう構成、あるいはマウスボタンのトリプルクリック等で切り換えを行なう構成等、本発明の要旨を逸脱しない範囲内において種々なる構成で実施し得ることは勿論である。

【0070】

【発明の効果】以上詳述した本発明の第 1 のコンピュータでは、第 1 の解像度の画像信号による表示と第 2 の解像度の画像信号による表示との間での表示の切り換えを指示すると、第 1 の解像度による画像信号と第 2 の解像度による画像信号との内、その切り換えで指示された側の画像信号を、マルチスキャンタイプの受像機である表示装置に出力し、どちらの画像も正常に表示する。従って、画像表示の切り換えを指示すると、切り換え前の画面を形成するアプリケーションを終了したり、コンピュータ本体の電源のオフといった余分な作業が行なわれることがなく、画面の切り換えを高速かつ容易に行なうことができ、使い勝手が向上する。

【0071】本発明の第 2 のコンピュータでは、第 1 発明と同一の効果を奏する。さらには、第 1、第 2 の画像表示制御回路を設けて画像表示制御回路を二重化しているので、表示の切り換え時にオーバーヘッドが少なくて

済むという効果も奏する。

【0072】本発明の第3のコンピュータでは、所定サイズのウィンドウを開き、ウィンドウのひとつに主オペレーティングシステムの子プロセスとして実行される従オペレーティングシステムを割り当てており、ウィンドウを含む全画面と該ウィンドウの一つとの間での表示の切り換えを指示すると、M×Nの解像度の第1の画像表示制御回路M23からの画像信号と、その解像度より低いP×Qの解像度の第2の画像表示制御回路からの画像信号との内、その切り換えで指示された側の画像信号を、マルチスキャンタイプの受像機である表示装置に出力し、どちらの画像も正常に表示する。従って、P×Qの解像度の表示のみをサポートする従OSを主OSの子プロセスとして動作させているウィンドウの環境において、従OSと主OSとの間での表示の切り換えを高速かつ容易に行なうことができ、かかる環境での使い勝手を高めることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1のコンピュータの基本的構成を例示するブロック図である。

【図2】本発明の第2のコンピュータの基本的構成を例示するブロック図である。

【図3】本発明の第3のコンピュータの基本的構成を例示するブロック図である。

【図4】本発明の第1実施例のコンピュータのハードウェア構成を示すブロック図である。

【図5】第1実施例における表示制御回路29の詳細構成を示すブロック図である。

【図6】VRAMのメモリ構成を、ノーマルモードが選択された場合とハイレゾモードが選択された場合とで分けて示す説明図である。

【図7】CRT内部のレジスタの一部とそのパラメータの一例を、ノーマルモードが選択された場合とハイレゾモードが選択された場合とで分けて示す説明図である。

【図8】表示制御回路29の表示タイミングを、ノーマルモードが選択された場合とハイレゾモードが選択された場合とで分けて、数値で示す説明図である。

【図9】同じく表示制御回路29での画像信号のタイミングを示すタイミングチャートである。

【図10】第1実施例における表示制御回路初期化ルーチンを示すフローチャートである。

【図11】主OSによるマルチウィンドウ表示での解像度と従OSの表示画面の解像度とを示す説明図である。

【図12】従OSで書き込んだデータをVRAMのハイレゾ用メモリにマッピングした状態を示す説明図である。

【図13】第1実施例におけるホットキー割込処理ルーチンを示すフローチャートである。

【図14】実施例における表示切り換えの一例を示す説

明図である。

【図15】第2実施例における表示制御部70の詳細構成を示すブロック図である。

【図16】第2実施例における表示制御部初期化ルーチンを示すフローチャートです。

【図17】第2実施例におけるホットキー割込処理ルーチンを示すフローチャートである。

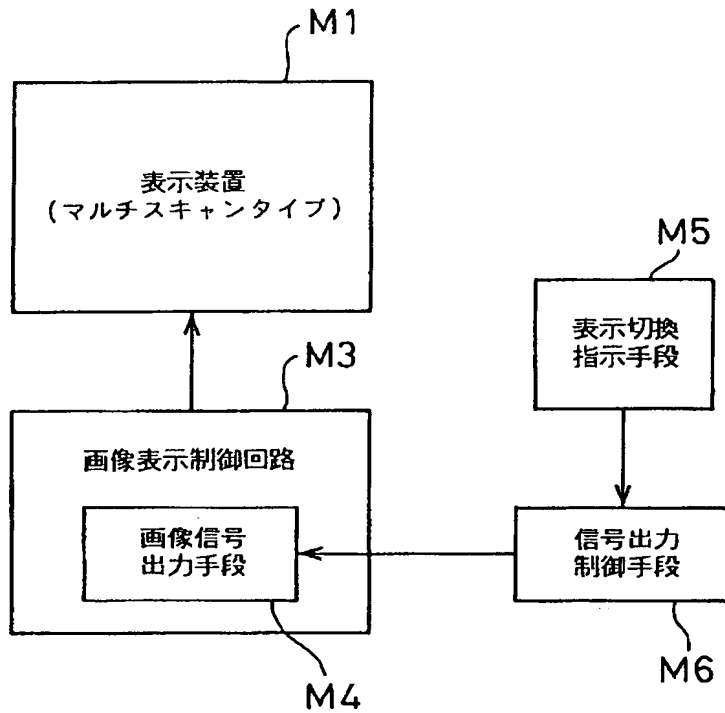
【符号の説明】

1	CPU
4	ROM
5	RAM
10	DMA C
17	キーボード
18	キーボードインタフェース
20	フレキシブルディスクドライブ
24	HDD
25	HDC
28	CRT
29	表示制御回路
35	バス
61	テキスト用CRT C
62	テキスト用VRAM
63	キャラクタジェネレータ
65	グラフィック用CRT C
66	グラフィック用VRAM
67	デコーダ
68	デコーダ
529	表示制御部
551	第1表示制御回路
552	第2表示制御回路
555	表示切回路
561	テキスト用CRT C
562	テキストVRAM
565	グラフィック用CRT C
566	グラフィック用VRAM
575	グラフィック用CRT C
576	グラフィック用VRAM
581	デコーダ
583	レジスタ
40	M1 表示装置
	M3 画像表示制御回路
	M4 画像信号出力手段
	M5 表示切指示手段
	M6 信号出力制御手段
	M11 表示装置
	M13 画像表示制御回路
	M14 画像表示制御回路
	M15 表示切指示手段
	M16 信号出力切手段
50	M21 表示装置

21  
 M22 ウィンドウ制御手段  
 M23 第1の画像表示制御回路  
 M24 第2の画像表示制御回路

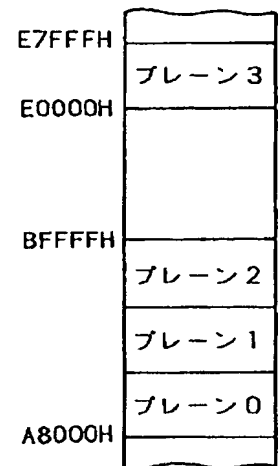
22  
 M25 表示切換指示手段  
 M26 信号出力切換手段

【図1】



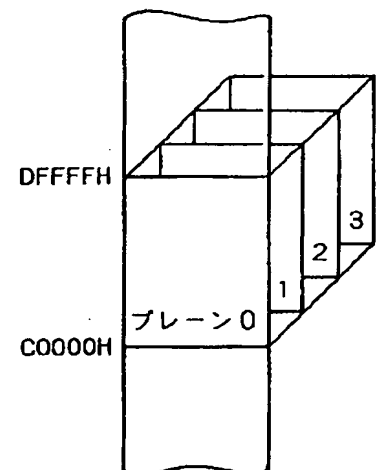
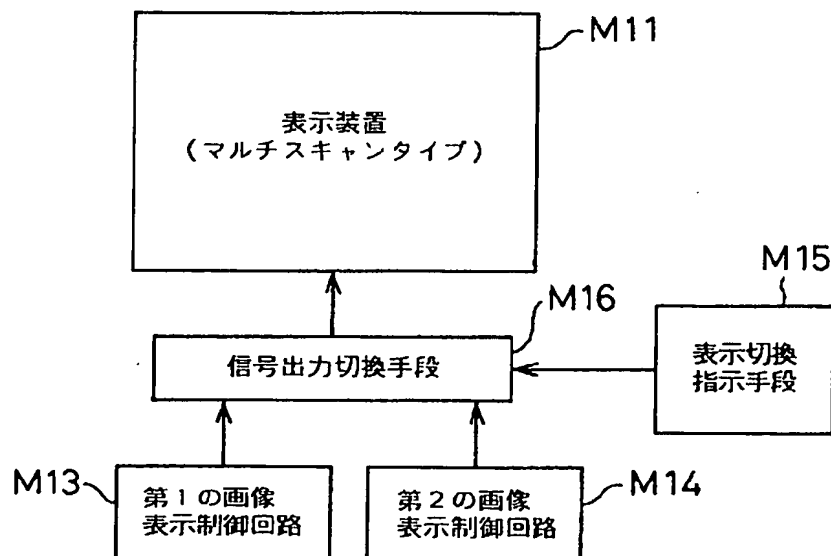
【図6】

(A) ノーマルモード

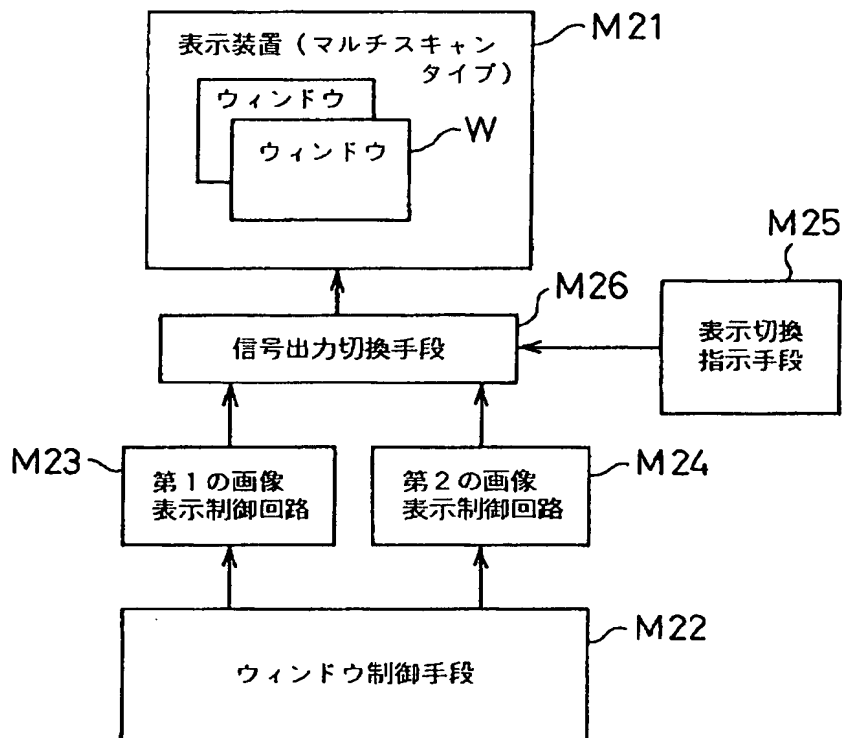


(B) ハイレゾモード

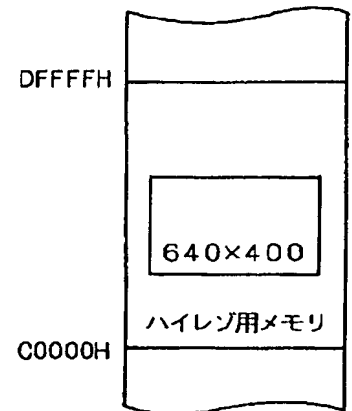
【図2】



【図3】



【図12】



【図7】

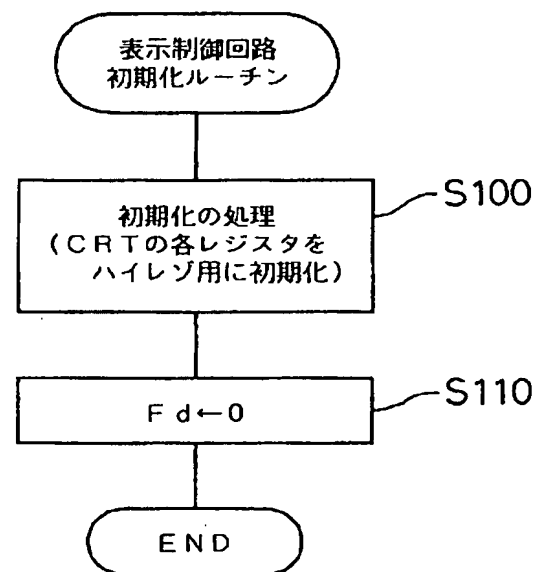
(A)

コマンド名	値	パラメータ値
RESET	00	
MASTER	6f	
SYNC	0e	18,26,a2,14,02,48,77,6d
PITCH	47	50
ZOOM	46	00
CSRFORM	4b	0e,01,6e
SCROLL	70	00,00,00,99
⋮	⋮	⋮

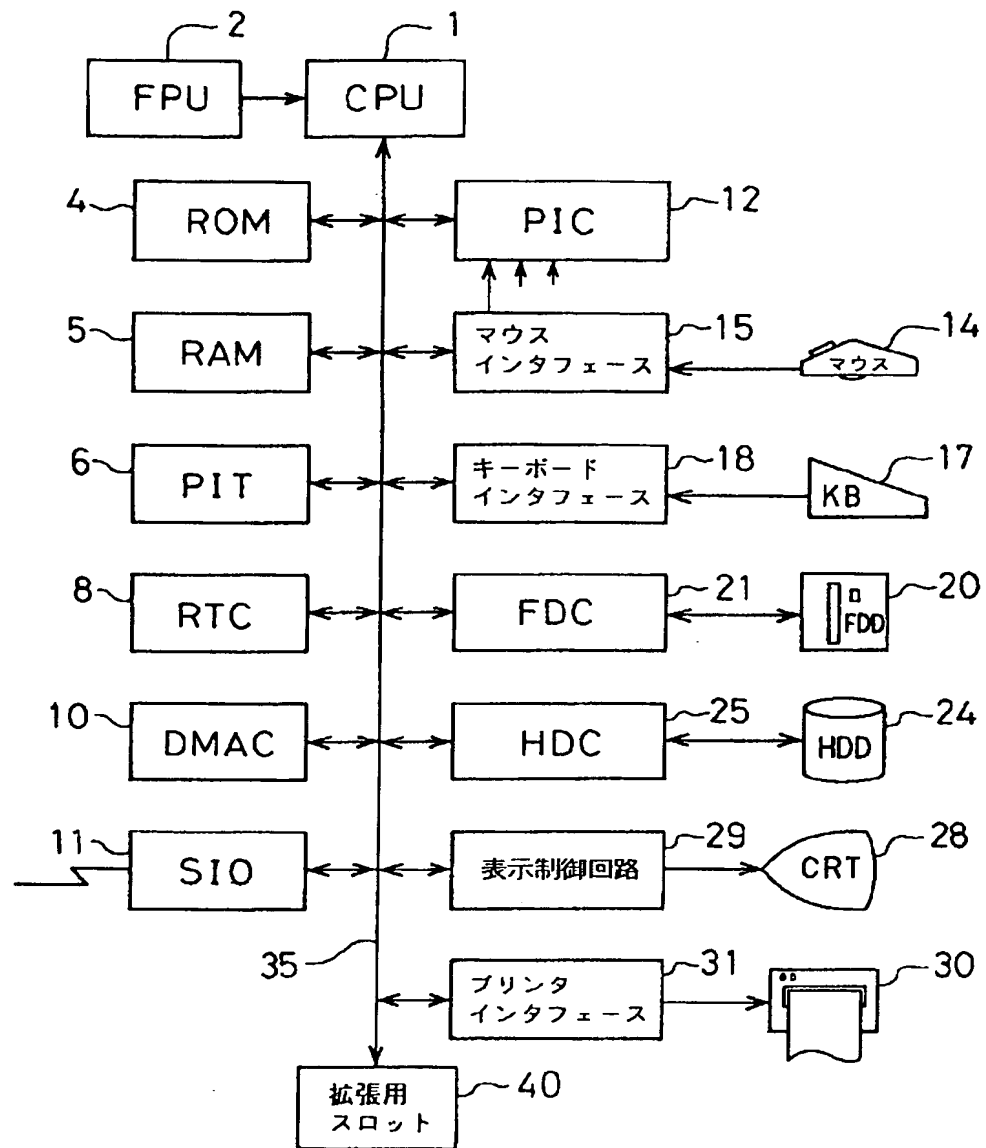
(B)

コマンド名	値	パラメータ値
RESET	00	
MASTER	6f	
SYNC	0e	18,4e,07,25,07,07,90,65
PITCH	47	50
ZOOM	46	00
CSRFORM	4b	0f,00,7f
SCROLL	70	00,00,00,19
⋮	⋮	⋮

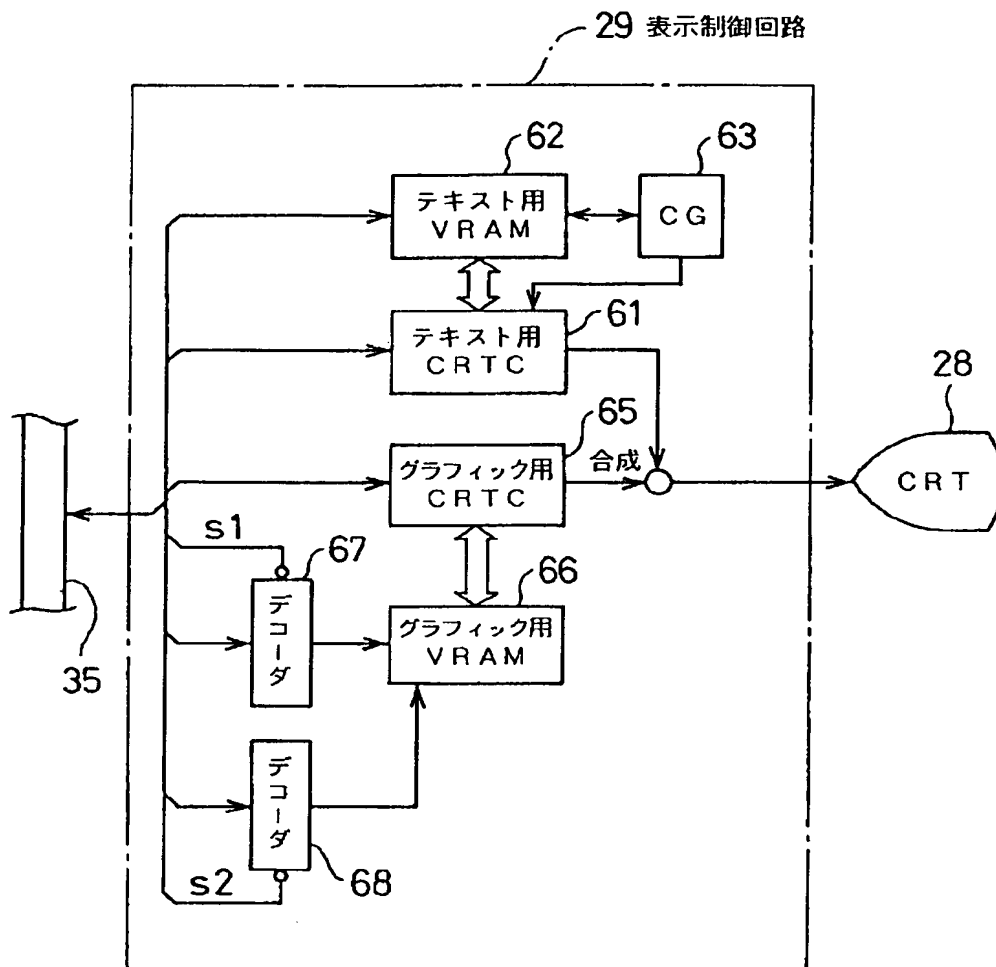
【図10】



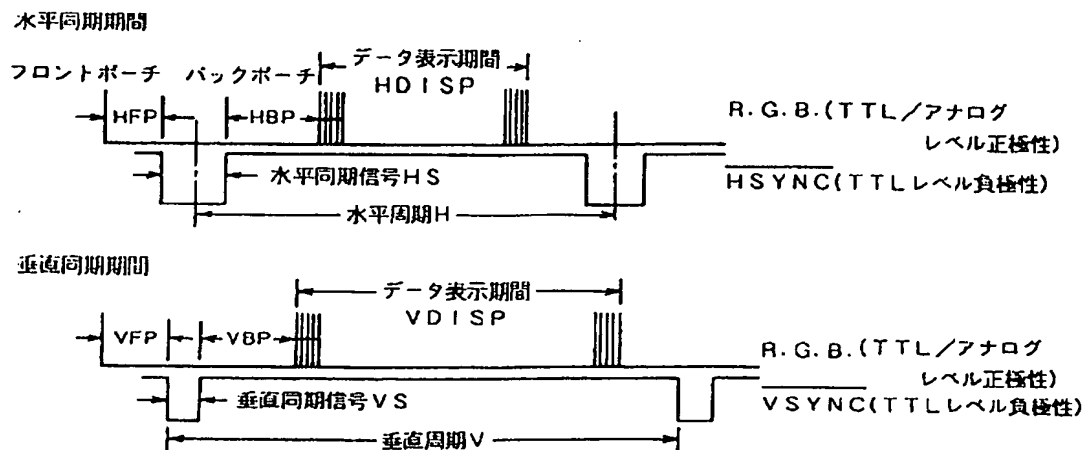
【図4】



【図5】



【図9】





【図8】

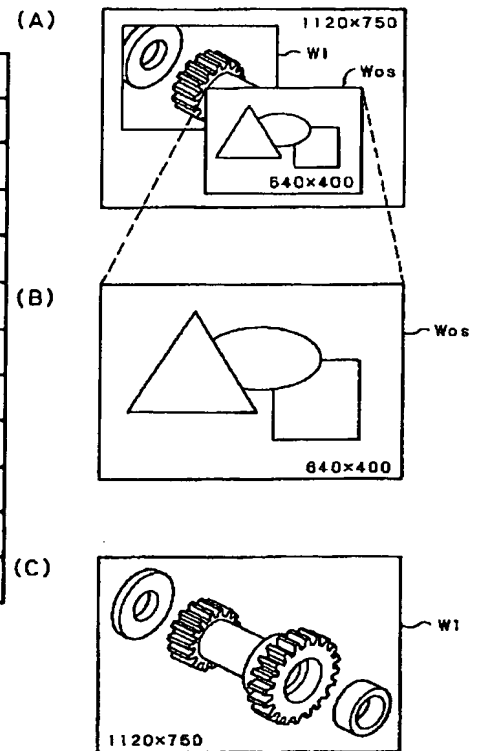
(A)

Symbol	タイミング	
	奇数フィールド	偶数フィールド
H	$30.45\mu\text{s}$ (32.84KHz)	
HDISP	$23.41\mu\text{s}$	
HFP	$2.34\mu\text{s}$	
HS	$1.76\mu\text{s}$	
HBP	$2.93\mu\text{s}$	
V	$12.5\text{ms}$ (410.5H, 80Hz)	
VDISP	$11.42\text{ms}$ (375H)	
VFP	$0.244\text{ms}$ (8H)	$0.259\text{ms}$ (8.5H)
VS	$0.152\text{ms}$ (5H)	
VBP	$0.685\text{ms}$ (22.5H)	$0.670\text{ms}$ (22H)

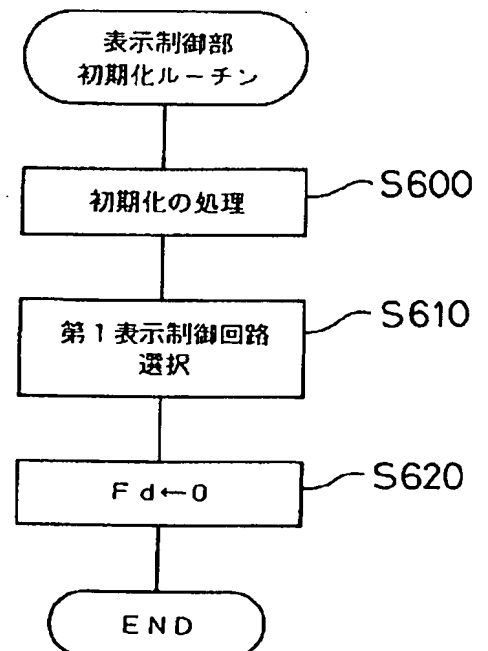
(B)

Symbol	タイミング
H	$40.28\mu\text{s}$ (24.83KHz)
HDISP	$30.4\mu\text{s}$
HFP	$3.04\mu\text{s}$
HS	$3.04\mu\text{s}$
HBS	$3.8\mu\text{s}$
V	$17.72\text{ms}$ (440H, 56.4Hz)
VDISP	$16.11\text{ms}$ (400H)
VFP	$0.28\text{ms}$ (7H)
VS	$0.32\text{ms}$ (8H)
VBS	$1.01\text{ms}$ (25H)

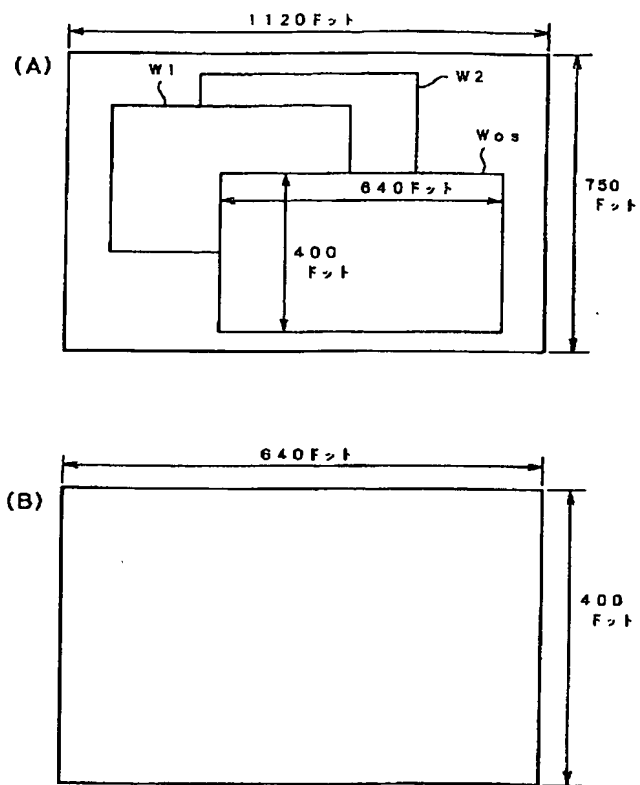
【図14】



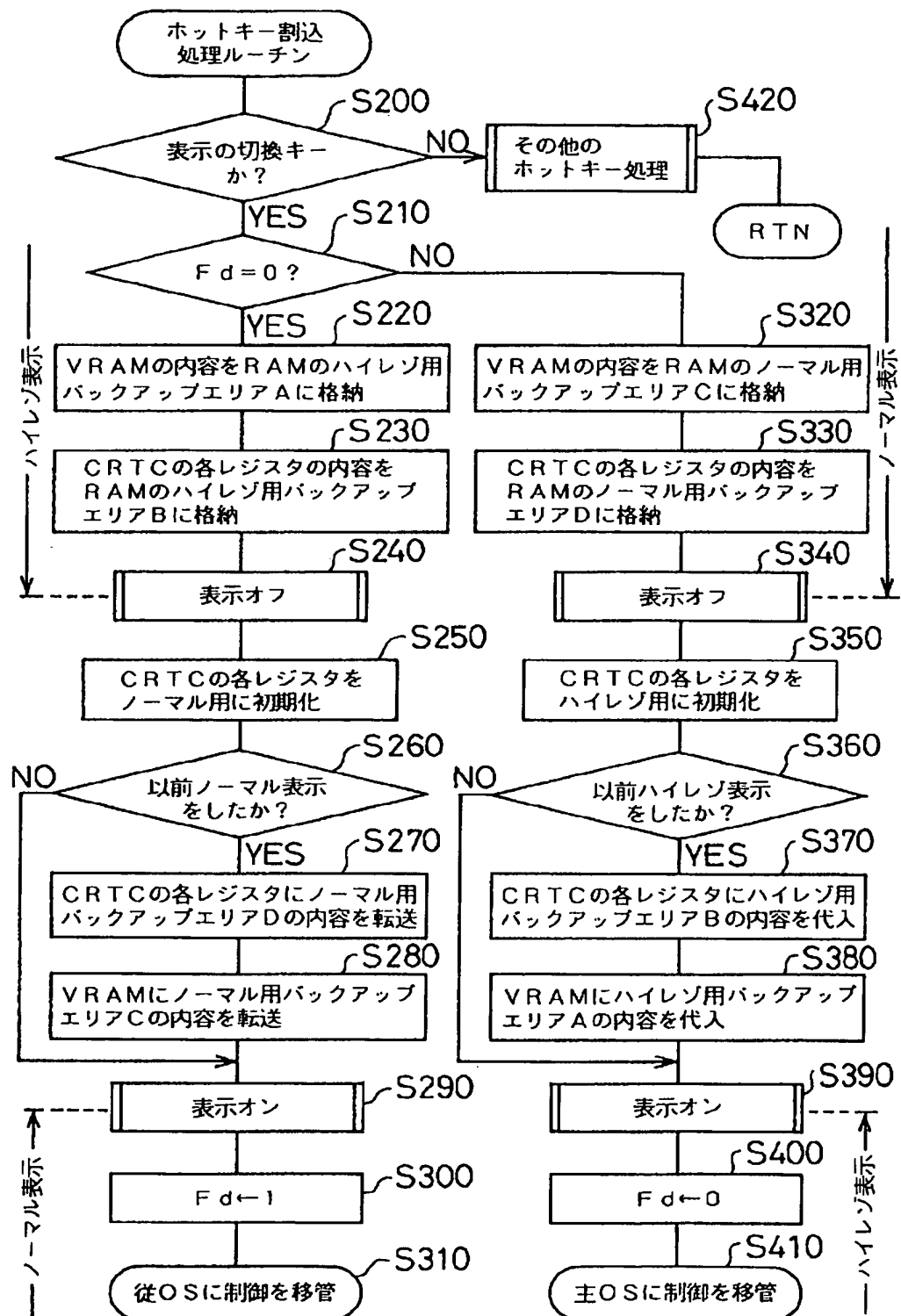
【図16】



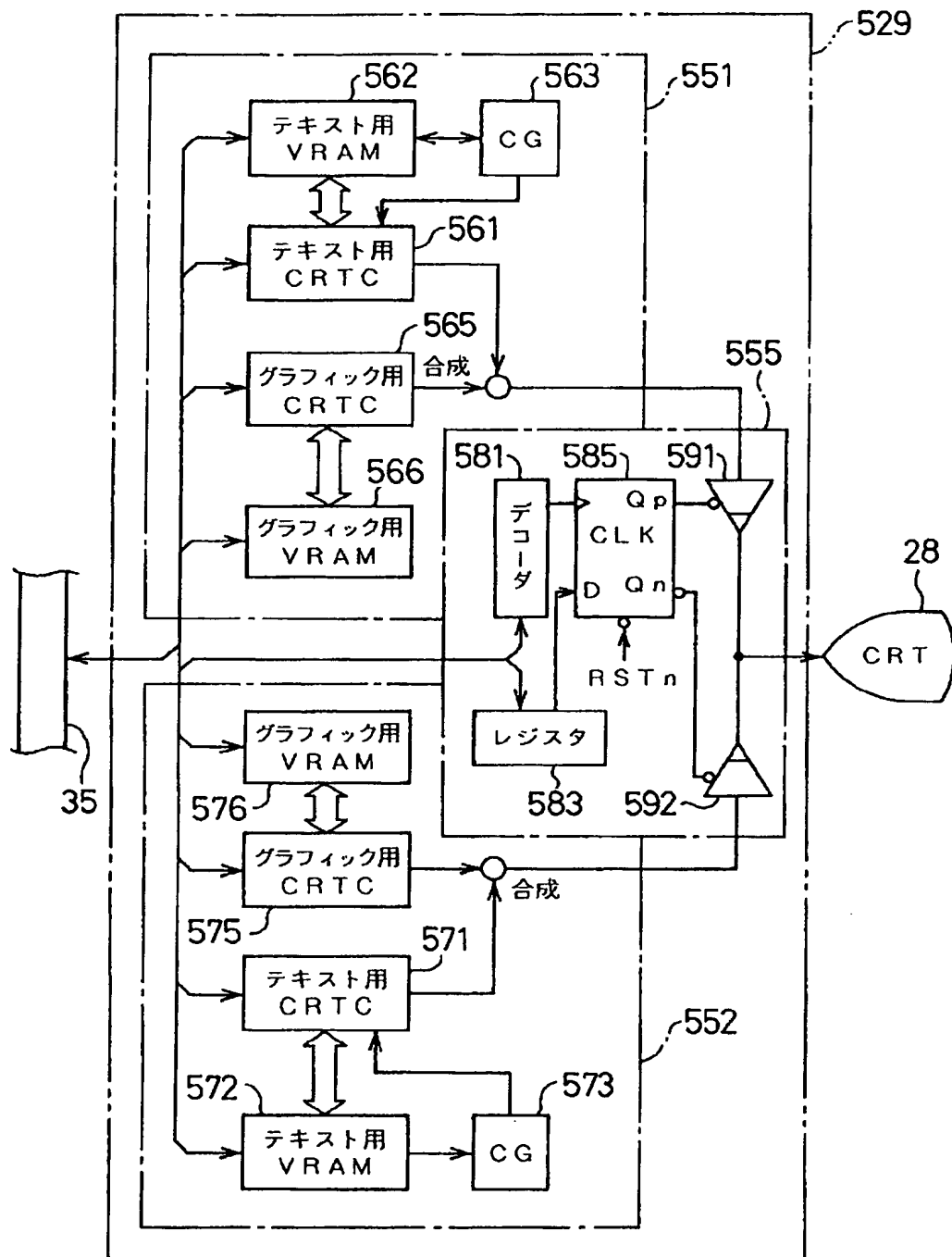
【図 11】



【図13】



【図 15】



【図 17】

